

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-120306

(43)Date of publication of application : 15.04.2004

(51)Int.Cl.

H03G 3/30

H04B 1/04

(21)Application number : 2002-280452

(71)Applicant : RENESAS TECHNOLOGY CORP

(22)Date of filing : 26.09.2002

(72)Inventor : KAJIWARA HISAYOSHI

TOYODA KENJI

HIKASA KAZUHIKO

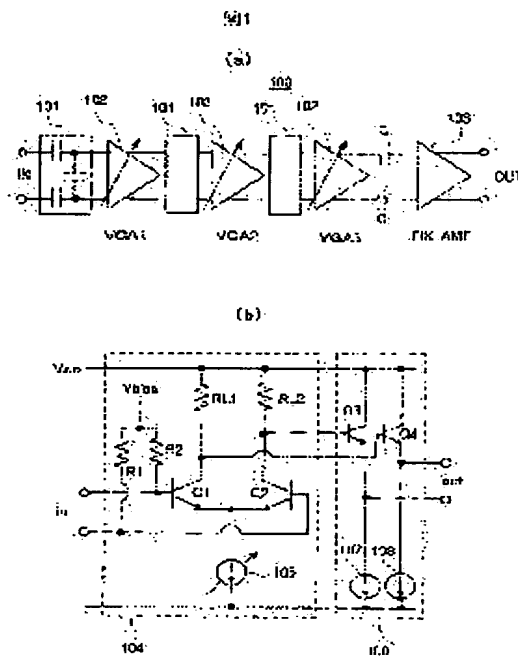
YAMAWAKI DAIZO

## (54) VARIABLE GAIN AMPLIFIER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a variable gain amplifier with a large variable gain range, less distortion, and less noises.

**SOLUTION:** A gm variable differential amplifier 104 to execute the control of the gain by a bias current is used as a unit amplifier (VGA)102 constituting the variable gain amplifier 100. A large variable gain range can be obtained by connecting a plurality of stages of the gm variable differential amplifiers in series. Signals are attenuated by providing an attenuator 101 at least on the input side of the initial stage VGA1. By this, it prevents amplitude distortion from occurring in each VGA. A capacitance voltage dividing attenuator 101 which does not generate noises is used as an attenuator in order to reduce noises. A fixed gain amplifier 103 is provided at the final stage in order to obtain the desired whole gain if required in the variable gain amplifier 100. If the variable gain amplifier is used for the variable gain amplifier for controlling transmission output of a Polar loop transmitter, an excellent transmission output control function can be realized without causing large degradation of distortion characteristics and noise characteristics.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-120306

(P2004-120306A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int. Cl.<sup>7</sup>H03G 3/30  
H04B 1/04

F I

H03G 3/30  
H03G 3/30  
H03G 3/30  
H04B 1/04D  
B  
C  
E

テーマコード (参考)

5J100  
5K060

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2002-280452 (P2002-280452)  
(22) 出願日 平成14年9月26日 (2002.9.26)(71) 出願人 503121103  
株式会社ルネサステクノロジ  
東京都千代田区丸の内二丁目4番1号  
(74) 代理人 100068504  
弁理士 小川 勝男  
(72) 発明者 梶原 久芳  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 豊田 研次  
東京都小平市上水本町五丁目20番1号  
株式会社日立製作所半導体グループ内  
(72) 発明者 日笠 和彦  
東京都小平市上水本町五丁目20番1号  
株式会社日立製作所半導体グループ内

最終頁に続く

(54) 【発明の名称】 利得可変増幅器

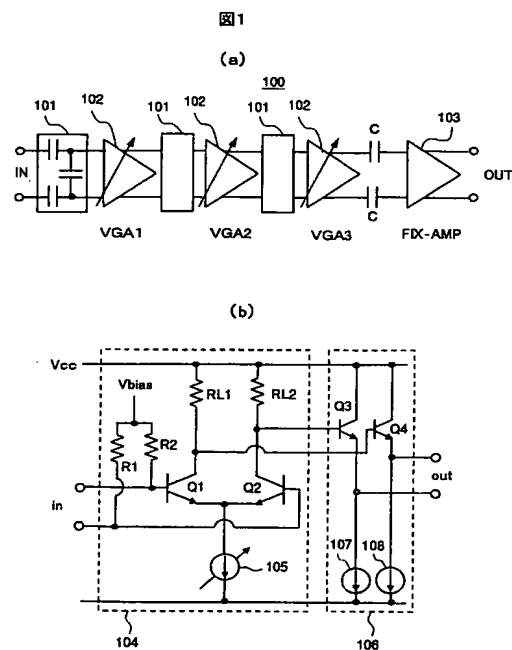
(57) 【要約】

【課題】 利得可変範囲が大きく、低歪、低雑音の利得可変増幅器を提供する。

【解決手段】 利得可変増幅器100を構成する単位増幅器(VGA)102として、バイアス電流で利得の制御を行うgm可変差動増幅器104を用いる。これを複数段直列に接続して大きな利得可変範囲を得る。少なくとも初段VGA1の入力側に減衰器101を設けて信号を減衰させる。これにより、各VGAにおいて振幅歪みが発生することを防ぐ。低雑音化のため、減衰器には雑音を発生しない容量分圧減衰器101を用いる。利得可変増幅器100には、所望の全体利得を得るため、最終段に利得固定増幅器103を必要に応じて設ける。

【効果】 この利得可変増幅器を、ポーラーループ送信機の送信出力制御用の利得可変増幅器に用いると、歪み特性や雑音特性の大きな劣化を生じることなく、良好な送信出力制御機能を実現することができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

差動入力を有する利得可変の単位増幅器を複数個直列に接続して大きな利得可変範囲を得る多段構成の利得可変増幅器において、少なくとも初段の前記単位増幅器の入力側に低雑音減衰器を設けることを特徴とする利得可変増幅器。

## 【請求項 2】

請求項 1 記載の利得可変増幅器において、

前記低雑音減衰器は、第 1、第 2 および第 3 の容量から構成され、前記第 1 の容量の第 1 端子と前記第 2 の容量の第 1 端子間を差動入力端子とし、前記第 1 の容量の第 2 端子と前記第 2 の容量の第 2 端子間に前記第 3 の容量を設けると共に、前記第 1 及び第 2 の容量の前記第 2 端子間を差動出力端子とする容量分圧減衰器であることを特徴とする利得可変増幅器。

10

## 【請求項 3】

請求項 1 または請求項 2 に記載の利得可変増幅器において、

最終段に利得固定増幅器を更に設けることを特徴とする利得可変増幅器。

## 【請求項 4】

請求項 1 ～ 3 のいずれかに記載の利得可変増幅器において、

前記単位増幅器は、g m 可変差動増幅器を含むことを特徴とする利得可変増幅器。

## 【請求項 5】

請求項 4 に記載の利得可変増幅器において、

前記 g m 可変差動増幅器は、第 1 のトランジスタのコレクタと電源の間に第 1 の負荷抵抗を設け、第 2 のトランジスタのコレクタと前記電源の間に第 2 の負荷抵抗を設け、前記第 1 のトランジスタのエミッタと前記第 2 のトランジスタのエミッタ同士を結合し、結合された前記エミッタとグランドの間に可変電流源を設け、前記第 1 のトランジスタのベースと前記第 2 のトランジスタのベースとの間を差動入力端子とし、前記第 1 のトランジスタのコレクタと前記第 2 のトランジスタのコレクタとの間を差動出力端子とする差動増幅器であることを特徴とする利得可変増幅器。

20

## 【請求項 6】

請求項 4 に記載の利得可変増幅器において、

前記 g m 可変差動増幅器は、第 1 のトランジスタのコレクタと電源の間に第 1 の負荷抵抗を設け、第 2 のトランジスタのコレクタと前記電源の間に第 2 の負荷抵抗を設け、前記第 1 のトランジスタのエミッタとグランドの間に第 1 のダイオードを設け、前記第 2 のトランジスタのエミッタとグランドの間に第 2 のダイオードを設け、前記第 1 のトランジスタのベースと前記第 2 のトランジスタのベースとの間を差動入力端子とし、前記第 1 のトランジスタのコレクタと前記第 2 のトランジスタのコレクタとの間を差動出力端子とする差動増幅器であることを特徴とする利得可変増幅器。

30

## 【請求項 7】

位相が互いに 90° 異なる第 1 及び第 2 の入力信号と中間周波電圧発振器の出力信号とを入力として変調信号を出力する直交変調器と、

振幅比較器を用いた振幅ループと、

位相比較器を用いた位相ループと

40

電力増幅器の出力を結合器を介して検出した帰還信号を中間周波帯に周波数変換して中間周波信号を出力するダウンコンバートミキサとを有し、

前記振幅ループは、前記振幅比較器が一方の入力端子に接続される前記変調信号と他方の入力端子に接続される前記中間周波信号との振幅成分を比較して、前記変調信号の振幅と前記中間周波信号の振幅とが等しくなるように前記電力増幅器の制御端子に第 1 のループフィルタを介して帰還をかけるように構成され、

前記位相ループは、前記位相比較器が一方の入力端子に接続される前記変調信号と他方の入力端子に接続される前記中間周波信号との位相成分を比較して、前記変調信号の位相と前記中間周波信号の位相とが等しくなるように第 2 ループフィルタを介して送信電圧制御

50

発振器に入力することにより前記送信電圧制御発振器に位相変調をかけた送信信号を電力増幅器に入力するように構成され、  
前記電力増幅器により前記送信信号を増幅してアンテナから送信するポーラーループ送信機において、

前記ダウンコンバータミキサの出力と前記振幅比較器の他方の入力端子との間に請求項 1～6 のいずれかに記載の利得可変増幅器を、前記電力増幅器の送信出力を制御する送信出力制御用利得可変増幅器として設けたことを特徴とするポーラーループ送信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は利得可変増幅器に係り、特に通信用半導体集積回路に好適な利得可変増幅器に関する。

【0002】

【従来の技術】

従来、この種の利得可変増幅器としては、例えば図 2 に示すような  $g_m$  可変差動増幅器を構成ブロックとして用いる利得可変増幅器が知られている（例えば、非特許文献 1 参照）。

【0003】

ここで、 $g_m$  可変差動増幅器とは、トランジスタの  $g_m$  がバイアス電流に比例することを利用し、バイアス電流で利得の制御を行う利得可変増幅器のことである。

【0004】

以下、図 2 に示す従来の利得可変増幅器 200 について説明する。同図 (a) は利得可変の単位増幅器（以下、単位増幅器と言う）を 3 段直列接続した利得可変増幅器のブロック回路図であり、同図 (b) は各段を構成する単位増幅器の回路図である。

【0005】

一般に利得可変増幅器は、図 2 (a) に示すように 1 段の単位増幅器 (VGA) 202 だけでは利得可変範囲に限界があるため、これを複数段（図 2 の例では VGA1～VGA3 の 3 段）直列に接続することにより大きな利得可変範囲を得るように構成している。各単位増幅器 202 は、同図 (b) に示すようにトランジスタ Q1、Q2 のエミッタ同士を結合し、トランジスタ Q1、Q2 のベースを入力端子とする差動対トランジスタに対して、可変電流源 205 によりバイアス電流を供給する  $g_m$  可変差動増幅器 204 で構成される。 $g_m$  可変差動増幅器 204 の利得の制御は、可変電流源 205 の電流値を制御することにより行われる。

【0006】

なお、図 2 (a) において、C は直流 (DC) 電流カットのための容量、IN は利得可変増幅器 200 の入力信号、OUT は出力信号である。また、同図 (b) において、in は  $g_m$  可変差動増幅器 204 の入力信号、out は出力信号、Vcc は  $g_m$  可変差動増幅器の電源電圧であり、Vbias は差動対トランジスタ Q1、Q2 の各ベースにそれぞれ抵抗 R1、R2 を介してバイアス電流を与えるバイアス電源電圧である。抵抗 RL1、RL2 は、差動対トランジスタ Q1、Q2 の負荷抵抗である。

【0007】

【非特許文献 1】

山脇他「2.7 ボルト ジーエスエム アールエフ トランシーバー アイシー」、1997 年、第 32 巻、第 12 号、国際電気電子学会、固体電子回路部門誌、(Yamawaki et al., "A 2.7-V GSM RF TRANCEIVER IC," in IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, No. 12, DECEMBER 1997)

【非特許文献 2】

ケニントン、ピーター・B. 著、「高線形性 RF 増幅器の設計」、アーテック ハウス株式会社、1979 年、p. 161-163 (Kenington, Peter B.,

10

20

30

40

50

“High Linearity RF Amplifier Design”, AR  
TECH HOUSE, INC. 1979, pp. 161-163)

【0008】

【発明が解決しようとする課題】

図2に示した従来回路では、利得可変増幅器を構成する各gm可変差動増幅器の非線形性のために、大きな信号が入力された場合には、振幅歪みが発生するという点について考慮がなされていなかった。このため、大入力信号時でも低歪みかつ低雑音を満足する利得可変増幅器を得ることができなかった。

【0009】

そこで、本発明の目的は、大きな信号が入力された場合でも、振幅歪みが生じないで良好な低雑音特性を有する利得可変増幅器を提供することにある。

10

【0010】

また、この低雑音特性を有する利得可変増幅器を用いて歪み特性や雑音特性の大きな劣化を生じることなく良好な送信出力制御機能を有するポーラーループ送信機を提供することも本発明の目的の一つである。

【0011】

【課題を解決するための手段】

本発明に係る利得可変増幅器は、少なくとも初段の単位増幅器(VGA)の入力側に減衰器を設けたことを特徴とするものである。減衰器を、少なくとも初段VGAの入力側に設けたことにより、雑音の影響が大きい初段VGAの入力信号を減衰させるので、初段VGAにおいて振幅歪みが発生するのを防ぐことができる。この場合、減衰器には雑音が発生しない容量分圧減衰器を用いれば低雑音化のために好適である。また、必要に応じて、全体利得の不足を補うため、最終段に利得固定増幅器を設けることができる。

20

【0012】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。

【0013】

<実施形態1>

図1に、本発明に係る利得可変増幅器の第1の実施形態を示す。同図(a)は利得可変増幅器のブロック回路図であり、同図(b)は単位増幅器の回路図である。同図(a)に示したように、本実施形態では、単位増幅器(VGA)を従来例と同様にVGA1~VGA3の3段直列接続としている点は同じであるが、各VGAの入力部にはDC電流カットも兼ねた容量分圧減衰器101を設け、最終段には利得固定増幅器(FIX-AMP)103を設けている点が従来例のブロック構成と相違する。利得固定増幅器103としては、例えばエミッタ接地増幅器を用いることができる。

30

【0014】

また、各VGAの回路構成は、同図(b)に示すように、従来例と同様の構成のgm可変差動増幅器104を用いているが、gm可変差動増幅器の出力部に、トランジスタQ3、Q4と電流源107、108からなる後段回路を駆動するためのエミッタフォロワ増幅器106を設けている点が従来例の単位増幅器の構成と相違する。一般に、エミッタフォロワ増幅器は周波数特性、歪み特性が良好で、入力インピーダンスが高く、出力インピーダンスが低いという特性を有し、インピーダンスマッチング用にも用いられ、後段回路を駆動するのに適している。

40

【0015】

gm可変差動増幅器104は、可変電流源105により供給されるバイアス電流に比例してトランジスタQ1、Q2からなる差動対のgmが変化するのを利用して利得の制御を行う。

【0016】

利得可変増幅器100を構成するVGA1~VGA3の各入力に減衰器101を設けて、各VGAに入る信号を減衰させる構成としたことにより、各VGAにおいて振幅歪みが発

50

生することを防いでいる。ここで、減衰器 101 として容量分圧減衰器を用いたのは、低雑音化のためであり、容量分圧減衰器では雑音を発生しないからである。これに対して、抵抗を用いた減衰器では雑音が発生し、高周波低雑音用途には使えない。また、固定減衰器でなく、入力に応じて電氣的に可変制御する可変減衰器を用いることも考えられたが、抵抗、トランジスタ、ダイオード及び電流源等、多数の回路素子を必要として構成が複雑となる上に、要求される高周波低雑音特性を満足することが難しく、実用的ではなかった。さらに、後述する第 3 及び第 4 の実施形態のポーラーループ通信機の送信出力制御用利得可変増幅器に使用するには、可変減衰器を用いた場合、雑音及び利得の両方の制御がより一層難しくなるので、結局、固定減衰量の容量分圧減衰器を用いるのが最適である。もちろん、高周波領域で低雑音の固定減衰器が他にあれば使用できることは言うまでもない。 10

#### 【0017】

また、利得固定増幅器 103 を最終段に設けるのは、所望の全体利得を得るためである。なお、gm 可変差動増幅器は大きな消費電流を必要とするので、最終段を固定増幅器とする構成は、全て利得可変増幅器で構成した場合に比べて、消費電力が少なくなる点で有利である。

#### 【0018】

以上により、図 1 に示した本実施形態の構成は、可変範囲が大きく、低歪な利得可変増幅器を実現できる。

#### 【0019】

本実施形態では、減衰器 101 を各 V G A の入力に全て設けた例を示したが、雑音の影響は初段がもっとも大きいので、初段に入れるだけでも低雑音の効果がある。勿論、初段と、後段のいずれかの V G A の入力に設けても良い。なお、各段の V G A の入力に設けた方が、前段で発生した雑音を段間の減衰器が減衰させるので、全体利得が同じでも低雑音化の点で有利である。 20

#### 【0020】

本実施形態では、バイポーラトランジスタによる構成を説明したが、ここで、M O S 電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor: 以下、単に M O S トランジスタと呼ぶ) によっても同様に利得可変増幅器を構成できることを述べる。

図 11 は、図 1 (b) で示した gm 可変差動増幅器と、gm 可変差動増幅器の出力部の増幅器とを、M O S トランジスタで構成した V G A を示す回路構成図である。 30

#### 【0021】

M O S トランジスタの gm はバイアス電流の平方根に比例するので、バイアス電流で利得の制御を行う gm 可変差動増幅器を M O S トランジスタを用いて実現することができる。図 11 に示すように gm 可変差動増幅器 104 M は、ソース同士を結合した M O S トランジスタ M 1, M 2 を、図 1 に示した gm 可変差動増幅器 104 のエミッタ同士を結合したトランジスタ Q 1, Q 2 と置き換えれば構成できる。このように、M O S トランジスタで構成した gm 可変差動増幅器 104 M の利得の制御は、バイポーラトランジスタで構成した gm 可変差動増幅器 104 と同様に、可変電流源 105 の電流値を制御することで行われる。 40

#### 【0022】

また、各 V G A の出力に設ける後段回路を駆動するためのソースフォロワ増幅器 106 M も、図 1 のエミッタフォロワ増幅器 106 のトランジスタ Q 3, Q 4 の代わりに M O S トランジスタ M 3, M 4 と置き換えれば構成できる。ここでは図示しないが、最終段の固定利得増幅器 103 も、M O S トランジスタで構成できることは言うまでもない。例えば、ソース接地の増幅器でよい。

#### 【0023】

このように M O S トランジスタにより構成した V G A 1 ~ V G A 3 と、各 V G A の入力部に設けた容量分圧減衰器と、最終段の固定利得増幅器を用いて、図 1 (a) の利得可変増幅器を構成しても、バイポーラトランジスタで構成した場合と同様に、可変範囲が大きく 50

、低歪な利得可変増幅器を実現できる。

【0024】

＜実施形態2＞

図3は、本発明に係る利得可変増幅器の第2の実施形態を示す単位増幅器の回路図である。利得可変増幅器のブロック回路図は第1の実施形態で示した図1(a)と同じ構成であり、本実施形態では単位増幅器(VGA)の構成が第1の実施形態と相違する。

【0025】

すなわち、各単位増幅器102の入力に容量分圧減衰器101を設け、最終段に利得固定増幅器103を設けるブロック構成は同じであるが、図3に示したように、各単位増幅器102の回路構成として、gm可変差動増幅器304と、gm可変差動増幅器304の利得を制御するカレントミラー回路307と、次段を駆動するためのエミッタフォロワ増幅器106とからなる単位増幅器を用いている点が相違する。なお、比較し易いように本実施形態においても、VGA1からVGA3の3段構成として説明する。

【0026】

第1の実施形態と同様に各VGAの出力側には、後段回路を駆動するため、エミッタフォロワ増幅器106を設け、所望の全体利得を得るため最終段に利得固定増幅器103を設けている。

【0027】

本実施形態におけるgm可変差動増幅器304は、図3に示すようにトランジスタQ1からなるシングル増幅器と、トランジスタQ2からなるシングル増幅器とを2つ並べて差動化し、トランジスタQ1、Q2の各エミッタにダイオードD1、D2を挿入した回路構成である。gm可変差動増幅器304の利得の制御は、可変電流源308、抵抗R3、トランジスタQ5、及びダイオードD3から構成されるカレントミラー回路307を介した電流制御により行われる。

【0028】

gm可変差動増幅器304のエミッタに挿入されたダイオードD1、D2は、回路の線形性を改善させる効果を持つ。すなわち、エミッタにダイオードD1、D2を挿入すると、増幅用トランジスタQ1、Q2のベース-エミッタ間にかかる信号の振幅が半分となるため、振幅歪みを受けにくくなる。このため線形性が改善される。

【0029】

このgm可変差動増幅器304を、利得可変増幅器100の単位増幅器102として用いることにより、図1(b)に示したgm可変差動増幅器104を用いる場合に比べて、振幅歪みの発生を防ぐために必要な初段減衰器VGA1の減衰量を小さくすることができる。このため、所望の全体利得を得るのに必要な最終段の固定利得増幅器103の利得を小さくすることができる。多段増幅器では前段で発生した雑音が後段で増幅されるため、このようにして最終段利得を小さくすることにより、利得可変増幅器100の出力雑音を、より小さくすることができる。

【0030】

なお、ダイオードD1、D2としては、コレクタ・ベース間を接続したダイオード接続のバイポーラトランジスタを用いても良いし、他の拡散ダイオードを用いても良い。

【0031】

したがって、本実施形態により、可変範囲が大きく、低歪みで、第1の実施形態よりも低雑音な利得可変増幅器を実現できる。

【0032】

＜実施形態3＞

本発明に係る利得可変増幅器を用いた第3の実施形態について述べる。本実施形態は、第1の実施形態で示した図1の利得可変増幅器を、ポーラーループ送信機のための送信出力制御用利得可変増幅器として使用する場合である。

【0033】

ポーラーループ方式は、振幅と位相に情報を持つ信号を扱う送信機に適用可能な電力増幅器

10

20

30

40

50



(P A) の線形補償方式である。図 4 に、従来のポーラーループ送信機の構成を示す。ポーラーループ送信機は、位相比較器 4 1 3 を用いた位相ループと振幅比較器 4 1 0 を用いた振幅ループより構成される。図 4 中に示した太線は、振幅ループを示している。

【0034】

90° 位相差を持つ I、Q 信号と、中間周波電圧制御発振器 (I F V C O) 4 0 8 の出力を入力とし、I F 帯の変調信号を出力する直交変調器 4 0 9 からの出力信号は、振幅比較器 4 1 0 と位相比較器 4 1 3 のそれぞれの正相入力端子に入力される。一方、電力増幅器 4 0 1 の出力を、結合器 4 0 2 を介して検出した帰還信号は減衰器 4 0 3 を通って、R F 局部発振器 4 0 5 の発振信号と、ダウンコンバートミキサ 4 0 4 にて、I F 帯に周波数変換された後、振幅比較器 4 1 0 と位相比較器 4 1 3 のそれぞれの逆相端子に入力される。位相比較器 4 1 3 では両者の信号の位相を比較し、それらが等しくなるように電圧制御発振器 4 1 5 の制御端子に帰還をかける。これにより、I F 帯から R F 帯への周波数変換を行うとともに、送信信号に位相変調をかけることができる。

【0035】

一方、振幅比較器 4 1 0 では両者の信号の振幅を比較し、それらが等しくなるように電力増幅器 4 0 1 の制御端子に帰還をかける。これにより、電圧制御発振器 (T X V C O) 4 1 5 が出力する位相変調のかかった一定振幅の R F 信号に振幅変調をかけることができる。

【0036】

このようにして、ポーラーループ送信機は位相方向と振幅方向に情報を持つ信号を歪みなくアンテナ (A N T) から送信することができる。なお、ループフィルタ 4 1 1 は振幅比較器 4 1 0 の出力を電力増幅器 4 0 1 の制御のための信号に、ループフィルタ 4 1 4 は位相比較器 4 1 3 の出力を、電圧制御発振器 4 1 5 を制御するための信号に変換するための低域通過フィルタである。

【0037】

このようなポーラーループ送信機に関しては、例えば、非特許文献 2 に記載されている。

【0038】

振幅ループは、直交変調器 4 0 9 からの信号の振幅とダウンコンバートミキサ 4 0 4 からの帰還信号の振幅とが等しくなるように動作する。

そこで、本実施形態では、図 5 に示すように、振幅ループの帰還パスに送信出力制御用の利得可変増幅器 4 0 6 を設け、その利得を制御することにより、電力増幅器 4 0 1 の出力レベルを制御しようとするものである。すなわち、ポーラーループ送信機の送信出力を制御することができるようになる。ここで、図 6 に利得可変増幅器 4 0 6 の利得 G と電力増幅器 (P A) 4 0 1 の出力レベルの関係を示す。図 6 より、電力増幅器 4 0 1 の出力 (以下、P A 出力という) が大きい場合には利得可変増幅器 4 0 6 の利得 G は小さく、P A 出力が小さい場合には利得可変増幅器の利得 G は大きいという関係が必要である。

【0039】

したがって、ポーラーループ送信機の送信出力を制御する場合、利得可変増幅器 4 0 6 には次のような特性が必要となる。

【0040】

- (1) 送信出力制御を行うために大きな可変範囲が要求される。
- (2) 振幅方向に情報を持つ信号を歪なく送信するために高い線形性が要求される。
- (3) 低利得時に電力増幅器からの大信号を受ける必要がある。このため、低利得時には特に高い線形性が要求される。
- (4) 携帯端末用途では、電力増幅器の出力における受信帯域雑音に関する仕様が厳しく、利得可変増幅器には低雑音な特性が要求される。

【0041】

以下、利得可変増幅器 4 0 6 の線形性の仕様が、0.1 dB - I C P (I n p u t C o m p r e s s i o n P o i n t) で規定されている場合を例として、その具体的設計について述べる。ここで、0.1 dB - I C P とは増幅器の入力信号レベルを上げた場合に

10

20

30

40

50

、回路の非線形性により利得が 0. 1 dB 変化する入力信号レベルのことである。

【0042】

利得可変増幅器 406 として、図 1 に示した利得可変増幅器 100 を用いる。この利得可変増幅器 100 を構成する単位増幅器 102 で用いる gm 可変差動増幅器 104 の入力歪み特性は、バイアス電流を変えて利得を変えても変化せず、ICP が利得に依存しないことが理論的に知られている。

【0043】

図 7 は、gm 可変差動増幅器 104 の利得  $A_G$  の入力信号レベル  $S_{IN}$  に対する依存性を示すシミュレーション結果である。制御電流（可変電流源 105 の電流）を変えて利得をいろいろな値に設定した場合の特性を示している。図 7 において、黒三角の記号は gm 可変差動増幅器 104 の、0. 1 dB - ICP の位置を示している。gm 可変差動増幅器 104 の 0. 1 dB - ICP は、-28 dBm であり、0. 1 dB - ICP は利得を変えてもあまり変化しないことが分かる。

10

【0044】

図 8 に、利得可変増幅器 100 全体のレベルダイアグラムの入力 IN から出力 OUT までの設計例を示す。利得可変増幅器 100 は、図 1 に示すように VGA1 ~ VGA3 の各入力側に容量分圧減衰器 101 が設けられている。図 8 では、この減衰器 101 のブロックを VGA1 側から順に ATT1 ~ ATT3 で表わしている。

【0045】

図 8 のレベルダイアグラムは、各ブロックの入力信号レベル  $S_{in}$  を示したものである。図 5 に示したポーラーループ送信機において、PA 出力が最も大きい実使用最低利得時と、PA 出力が最も小さい実使用最大利得時のレベルダイアグラムを示している。すでに述べたように gm 可変差動増幅器 104 の ICP は利得を上げて劣化しない。また、図 6 に示した関係から、送信出力制御では利得可変増幅器 406 の利得を上げる場合には同じ大きさだけ入力信号レベルが小さくなる。このため、実使用最低利得時において振幅歪を生じないようにゲイン配分を決めておけば、振幅ループが正常に動作している場合には、利得を上げて振幅歪みは発生しない。

20

【0046】

そこで、初段減衰器 ATT1 の減衰量は、電力増幅器 401 からの大信号を受ける最低利得時において、初段 VGA1 の入力信号レベルが初段 VGA1 の 0. 1 dB - ICP（図 8 中に、×で示した位置の利得）より小さくなるように設定される。

30

【0047】

次段以後の VGA においても、実使用最低利得時において、各 VGA の入力信号レベルがそれぞれの 0. 1 dB - ICP よりも小さくなるように、それぞれの減衰器 ATT2, ATT3 の減衰量が決定される。そして最終段の利得固定増幅器 FI X - AMP により、所望の全体利得を得る。多段増幅器では前段で発生した雑音が後段で増幅されるため、低雑音化のためには最終段利得を小さくすることが有効である。そこで、各 VGA の入力信号レベル  $S_{in}$  が各 VGA の 0. 1 dB - ICP（×で示した位置の利得）よりも僅かに小さくなるように各減衰器の減衰量を決定し、後段利得をなるべく小さくするように設計する。

40

【0048】

本実施形態では、ポーラーループ送信機に対して、歪み特性の大きな劣化を生じることなく、良好な送信出力制御機能を実現することができる。

【0049】

<実施形態 4>

本発明に係る利得可変増幅器を用いた第 4 の実施形態について述べる。本実施形態は、第 2 の実施形態で示した図 3 の利得可変増幅器を、図 5 に示した構成のポーラーループ送信機のための送信出力制御用利得可変増幅器として使用する場合である。

【0050】

以下、第 3 の実施形態と同様に、利得可変増幅器 406 の線形性の仕様が 0. 1 dB - I

50

C Pで規定されている場合を例として、その具体的設計について述べる。図3の利得可変増幅器の各单位増幅器VGA1～VGA3を構成するgm可変差動増幅器304の入力歪み特性は、バイアス電流を変えて利得を変えても変化せず、ICPが利得に依存しないことが理論的に知られている。図9はgm可変差動増幅器304の利得AGの入力信号レベル $S_{IN}$ に対する依存性を示すシミュレーション結果である。制御電流（カレントミラー回路307の可変電流源308からトランジスタQ5のコレクタに供給される電流 $I_C$ ）を変えて利得をいろいろな値に設定した場合の特性を示している。なお、信号源抵抗 $R_{S_G}$ は $50\Omega$ として求めた。図9において、黒三角の記号はgm可変差動増幅器304の $0.1\text{ dB}-\text{ICP}$ の位置を示している。電流 $I_C$ が大きく利得が高い状態では、入力側の歪みと出力側の歪みが打ち消し合うために $0.1\text{ dB}-\text{ICP}$ はやや高い値をとるが、利得を低くすると $0.1\text{ dB}-\text{ICP}$ は一定値（ $-19.2\text{ dBm}$ ）に漸近する。

10

#### 【0051】

図10に、利得可変増幅器全体のレベルダイアグラムの設計例を示す。レベルダイアグラムは、各ブロックの入力信号レベル $S_{IN}$ を示したものである。PA出力が最も大きい実使用最低利得時と、PA出力が最も小さい実使用最大利得時のレベルダイアグラムを示している。すでに述べたように、gm可変差動増幅器304のICPは利得を上げて劣化しない。また、ポーラループ送信機の送信出力制御では、利得可変増幅器406の利得を上げる場合には、図6に示した関係から同じ大きさだけ入力信号レベルが小さくなる。このため、前述した第3の実施形態と同様に、実使用最低利得時において振幅歪を生じないようにゲイン配分を決めておけば、振幅ループが正常に動作している場合には、利得を上げて振幅歪みは発生しない。

20

#### 【0052】

そこで、初段減衰器ATT1の減衰量は、電力増幅器401からの大信号を受ける実使用最低利得時において、初段VGA1の入力信号レベルが初段VGA1の $0.1\text{ dB}-\text{ICP}$ （図10中に、×で示した位置の利得）より小さくなるように設定される。

#### 【0053】

次段以後のVGA2、VGA3においても、実使用最低利得時において、各VGAの入力信号レベルがそれぞれの $0.1\text{ dB}-\text{ICP}$ （×で示した位置の利得）よりも小さくなるようにそれぞれの入力側の減衰器ATT2、ATT3の減衰量が決定される。そして最終段の利得固定増幅器（FIX-AMP）303により、所望の全体利得を得る。多段増幅器では前段で発生した雑音が後段で増幅されるため、低雑音化のためには最終段利得を小さくすることが有効である。そこで各VGAの入力信号レベル $S_{IN}$ が各VGAの $0.1\text{ dB}-\text{ICP}$ よりも僅かに小さくなるように各減衰器ATT1～ATT3の減衰量を決定し、後段利得をなるべく小さくするように設計する。

30

#### 【0054】

gm可変差動増幅器304は、gm可変差動増幅器104に比べて $0.1\text{ dB}-\text{ICP}$ が約 $9\text{ dB}$ 高いため、利得可変増幅器の初段減衰器VGA1の減衰量を約 $9\text{ dB}$ 小さくすることができる。このため、所望の全体利得を得るのに必要な最終段利得を小さくすることができ、gm可変差動増幅器104を用いる第3の実施形態の場合に比べて低雑音な特性を実現することができる。

40

#### 【0055】

本実施形態でも、ポーラループ送信機に対して、歪み特性や雑音特性の大きな劣化を生じることなく、良好な送信出力制御機能を実現することができる。

#### 【0056】

以上、本発明の好適な実施の形態について説明したが、本発明は上記実施の形態で示した構成に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。

#### 【0057】

#### 【発明の効果】

本発明によれば、可変範囲が大きく、低歪、低雑音の利得可変増幅器を実現することがで

50

きる。このため、ポーラーループ方式など、振幅成分に対する負帰還ループを有する線形送信機に対して、良好な送信出力制御機能を提供することができる。

【図面の簡単な説明】

【図 1】本発明に係る利得可変増幅器の第 1 の実施形態を示す図であり、(a) は利得可変増幅器のブロック回路図、(b) は単位増幅器の回路図。

【図 2】従来の利得可変増幅器を示す図であり、(a) は利得可変増幅器のブロック回路図であり、(b) は単位増幅器の回路図。

【図 3】本発明に係る利得可変増幅器の第 2 の実施形態を示す単位増幅器の回路図。

【図 4】従来のポーラーループ送信機の構成を示すブロック回路図。

【図 5】本発明に係る利得可変増幅器を用いた第 3 の実施形態を示す図であり、送信出力制御機能を有するポーラーループ送信機を示すブロック回路図。 10

【図 6】図 5 の回路構成で用いる送信出力制御用利得可変増幅器の利得と PA 出力レベルの関係を示す図。

【図 7】図 1 に示した gm 可変差動増幅器の利得の入力信号レベル ( $S_{IN}$ ) に対する依存性をシミュレーションにより求めた特性線図。

【図 8】第 3 の実施形態で用いる送信出力制御用の利得可変増幅器のレベルダイアグラムの設計例を示す図。

【図 9】図 3 に示した gm 可変差動増幅器の利得の入力信号レベル ( $S_{IN}$ ) に対する依存性をシミュレーションにより求めた特性線図。

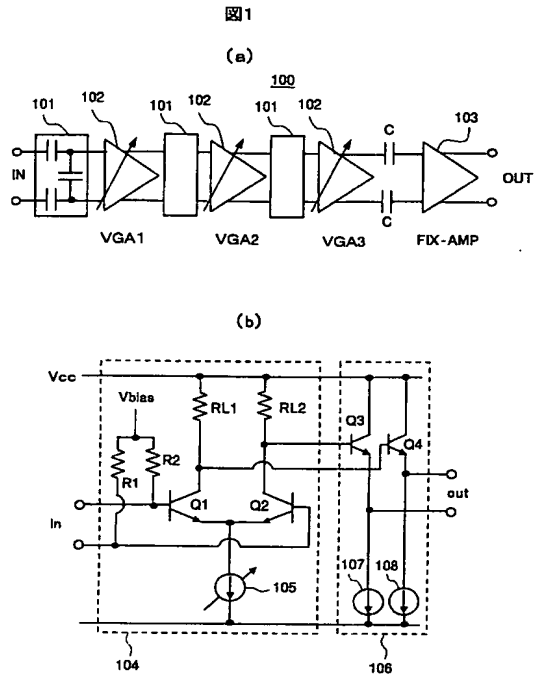
【図 10】第 4 の実施形態で用いる送信出力制御用の利得可変増幅器のレベルダイアグラムの設計例を示す図。 20

【図 11】図 1 で示した gm 可変差動増幅器と、その出力部の増幅器とを、MOS トランジスタで構成した場合の回路構成図。

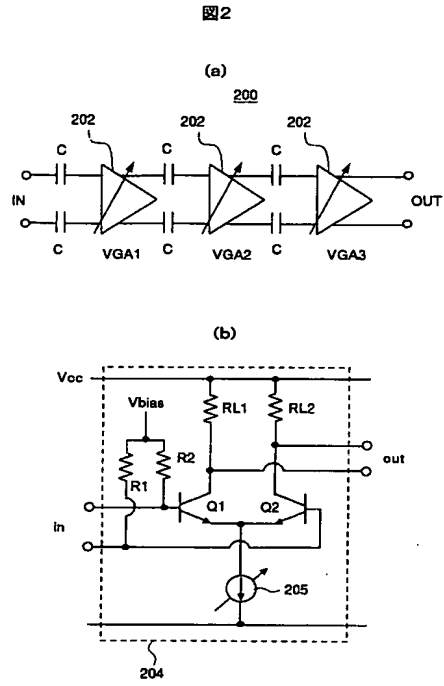
【符号の説明】

100, 200…利得可変増幅器、101…容量分圧減衰器、102, 202…利得可変増幅器を構成する単位増幅器 (VGA)、103…利得固定増幅器 (FIX-AMP)、104, 104M, 204…gm 可変差動増幅器、105, 205, 308…可変電流源、106…エミッタフォロワ増幅器、106M…ソース 107 フォロワ増幅器、108…定電流源、307…カレントミラー回路、401…電力増幅器 (PA)、402…結合器、403…減衰器、404…ダウンコンバートミキサ、405…RF 局部発振器、406…送信出力制御用利得可変増幅器、408…中間周波電圧制御発振器 (IFVCO)、409…直交変調器、410…振幅比較器、411, 414…ループフィルタ、415…送信用電圧制御発振器 (TXVCO)、 $A_G$ …gm 可変差動増幅器の利得、D1~D3…ダイオード、IN…利得可変回路の入力信号、in…単位増幅器の入力信号、OUT…利得可変増幅器の出力、out…単位増幅器の出力信号、Q1~Q5…バイポーラトランジスタ、R1~R3…抵抗、RL1, RL2…負荷抵抗、 $S_{in}$ …gm 可変差動増幅器の入力信号レベル、M1~M4…バイポーラトランジスタ、Vbias…バイアス電源電圧、Vcc…電源電圧。 30

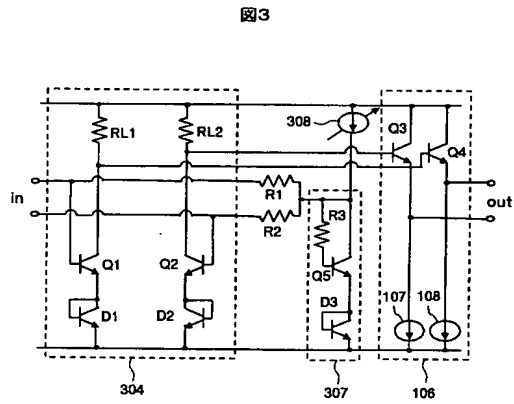
【図 1】



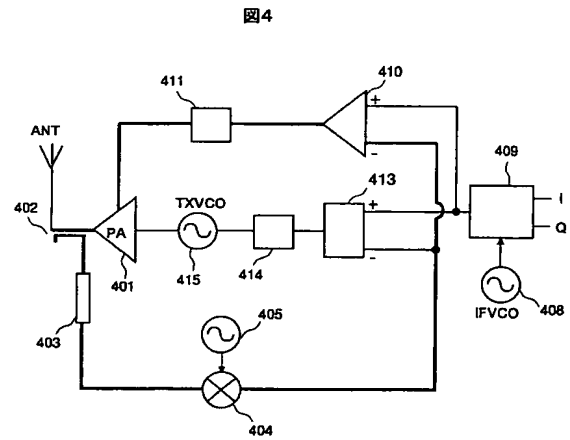
【図 2】



【図 3】

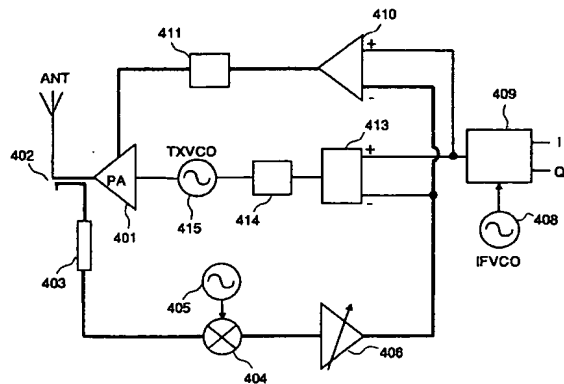


【図 4】



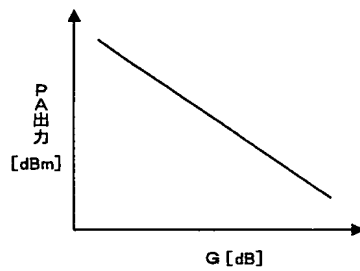
【図 5】

図5



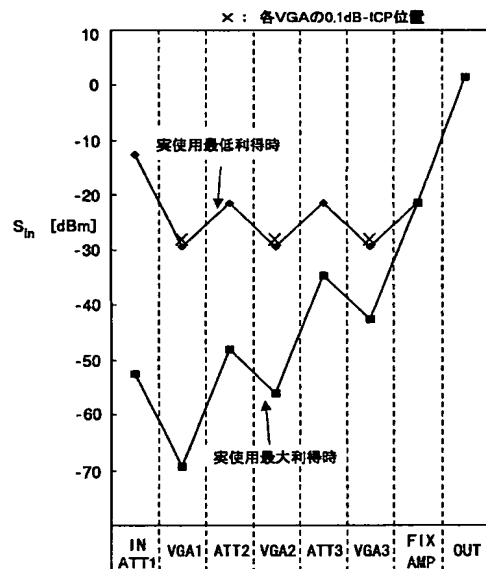
【図 6】

図6



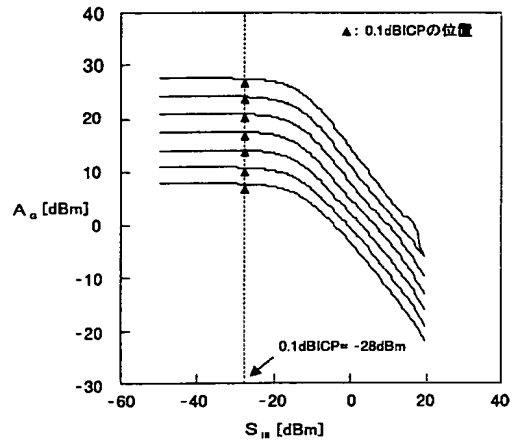
【図 8】

図8



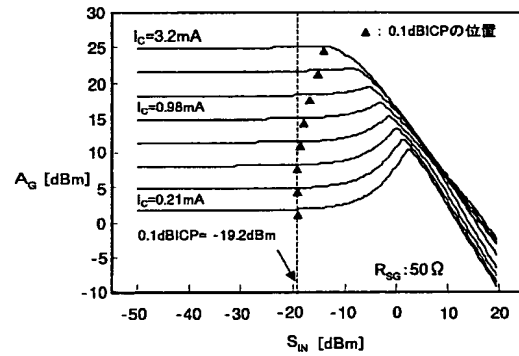
【図 7】

図7



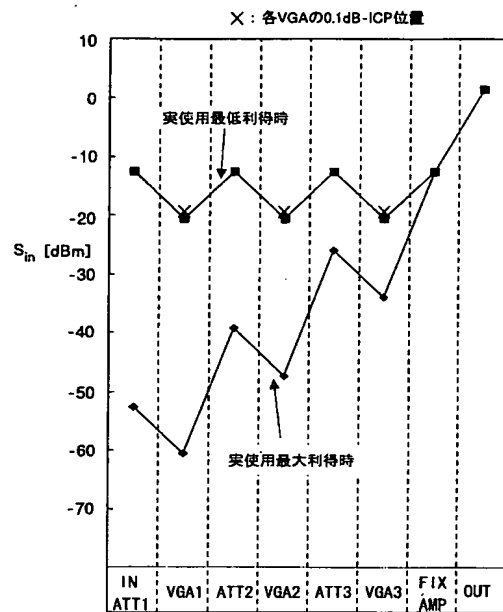
【図 9】

図9



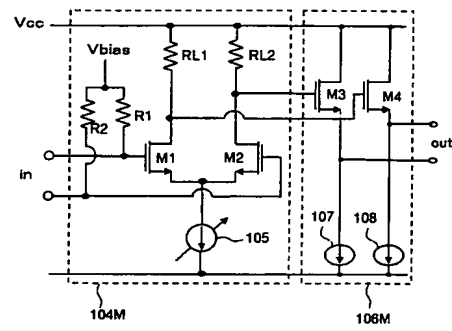
【図10】

図10



【図11】

図11



フロントページの続き

---

(72)発明者 山脇 大造

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5J100 JA01 KA05 LA00 LA01 LA09 QA01 SA01

5K060 BB07 CC04 CC11 HH01 HH06 HH16 HH37 JJ16 LL01 LL24